



COPY OF PAPERS
ORIGINALLY FILED

#9/8276302
15.14/5048

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of: FURUHATA et al.) Group Art Unit: 2812
Serial No.: 09/604,702)
Filed: June 23, 2000) Examiner: Booth, R.
For: SEMICONDUCTOR DEVICES HAVING A)
NON-VOLATILE MEMORY TRANSISTOR)

TRANSMITTAL OF CERTIFIED COPY

Assistant Commissioner for Patents
Washington, DC 20231

Dear Sir:

Enclosed is a certified copy of the priority document for U.S. Application Serial No. 09/604,702. This document is Japanese patent application no. 11-177146, filed June 23, 1999. It is believed that no fees are due relating to this submission, however, if fees are due relating to this submission, please charge them to deposit account no. 50-0585.

Respectfully submitted,

Alan S. Raynes
Reg. No. 39,809
KONRAD RAYNES VICTOR & MANN, LLP
315 South Beverly Drive, Suite 210
Beverly Hills, CA 90212
Customer No. 24033
tele general: (310) 556-7983
tele direct: (310) 871-8448
facsimile: (310) 556-7984

Dated: July 22, 2002

Certificate of Mailing

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231 on July 22 2002.

Alan S. Raynes

July 22 2002
(Date)

RECEIVED
AUG. 6 2002
TECHNOLOGY CENTER 2800



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

1999年 6月23日

出願番号
Application Number:

平成11年特許願第177146号

[ST.10/C]:

[JP1999-177146]

出願人
Applicant(s):

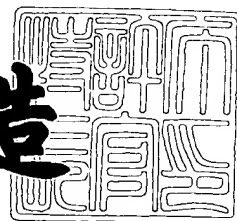
セイコーエプソン株式会社

RECEIVED
AUG 6 2002
TECHNOLOGY CENTER 2800

2002年 5月17日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2002-3036106

【書類名】 特許願

【整理番号】 EP176101

【提出日】 平成11年 6月23日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/421

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 古畑 智之

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 山崎 厚

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090398

 【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プールの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性メモリトランジスタを含む半導体装置

【特許請求の範囲】

【請求項1】 メモリ領域と、異なる電圧レベルで動作される電界効果型トランジスタを含む第1、第2および第3のトランジスタ領域と、を含み、

前記メモリ領域は、スプリットゲート構造の不揮発性メモリトランジスタを含み、

前記第1のトランジスタ領域は、第1の電圧レベルで動作される第1の電圧型トランジスタを含み、

前記第2のトランジスタ領域は、第2の電圧レベルで動作される第2の電圧型トランジスタを含み、

前記第3のトランジスタ領域は、第3の電圧レベルで動作される第3の電圧型トランジスタを含み、

前記第2の電圧型トランジスタは、そのゲート絶縁層が、少なくとも2層の絶縁層からなり、かつ、前記第1の電圧型トランジスタのゲート絶縁層と同じ工程で形成された絶縁層を含む、不揮発性メモリトランジスタを含む半導体装置。

【請求項2】 請求項1において、

前記第3の電圧型トランジスタは、そのゲート絶縁層が、少なくとも3層の絶縁層からなり、かつ、前記第1の電圧型トランジスタのゲート絶縁層と同じ工程で形成された絶縁層を含む、不揮発性メモリトランジスタを含む半導体装置。

【請求項3】 請求項1または2において、

前記スプリットゲート構造の不揮発性メモリトランジスタは、ソース、ドレイン、ゲート絶縁層、フローティングゲート、トンネル絶縁層として機能する中間絶縁層およびコントロールゲートを含み、

前記中間絶縁層は、少なくとも3層の絶縁層からなり、前記フローティングゲートおよび前記コントロールゲートにそれぞれ接する第1および第2の最外層は熱酸化法によって形成された絶縁層からなる、不揮発性メモリトランジスタを含む半導体装置。

【請求項 4】 請求項 3 において、

前記中間絶縁層の前記コントロールゲートに接する前記第 2 の最外層は、前記第 1 の電圧型トランジスタの前記ゲート絶縁層と同一工程で形成された、不揮発性メモリトランジスタを含む半導体装置。

【請求項 5】 請求項 3 または 4 において、

前記中間絶縁層は、前記第 1 および第 2 の最外層の間に C V D 法によって形成された絶縁層を有する、不揮発性メモリトランジスタを含む半導体装置。

【請求項 6】 請求項 1 ～ 5 のいずれかにおいて、

前記第 3 の電圧型トランジスタは、そのゲート絶縁層が前記不揮発性メモリトランジスタの前記中間絶縁層と同一の工程で形成され、少なくとも 3 層の絶縁層からなる、不揮発性メモリトランジスタを含む半導体装置。

【請求項 7】 請求項 1 ～ 6 のいずれかにおいて、

前記第 1 の電圧型トランジスタは、そのゲート絶縁層の膜厚が 3 ～ 1 3 n m である、不揮発性メモリトランジスタを含む半導体装置。

【請求項 8】 請求項 1 ～ 7 のいずれかにおいて、

前記第 2 の電圧型トランジスタは、そのゲート絶縁層の膜厚が 4 ～ 1 5 n m である、不揮発性メモリトランジスタを含む半導体装置。

【請求項 9】 請求項 1 ～ 8 のいずれかにおいて、

前記第 3 の電圧型トランジスタは、そのゲート絶縁層の膜厚が 1 6 ～ 4 5 n m である、不揮発性メモリトランジスタを含む半導体装置。

【請求項 1 0】 請求項 1 ～ 9 のいずれかにおいて、

前記不揮発性メモリトランジスタは、その中間絶縁層の膜厚が 1 6 ～ 4 5 n m である、不揮発性メモリトランジスタを含む半導体装置。

【請求項 1 1】 請求項 3 において、

前記不揮発性メモリトランジスタは、その中間絶縁層を構成する前記第 1 の最外層の膜厚が 5 ～ 1 5 n m であり、第 2 の最外層の膜厚が 1 ～ 1 0 n m である、不揮発性メモリトランジスタを含む半導体装置。

【請求項 1 2】 請求項 1 ～ 1 1 のいずれかにおいて、

前記第 1 の電圧型トランジスタを動作する第 1 の電圧レベルは、絶対値で 1 .

8～3.3Vであり、

前記第2の電圧型トランジスタを動作する第2の電圧レベルは、絶対値で2.5～5Vであり、

前記第3の電圧型トランジスタを動作する第3の電圧レベルは、絶対値で10～15Vである、不揮発性メモリトランジスタを含む半導体装置。

【請求項13】 請求項1～12のいずれかに記載の半導体装置であって、少なくともフラッシュメモリを有する、不揮発性メモリトランジスタを含む半導体装置。

【請求項14】 請求項13において、
さらに、他の回路領域が混載された、不揮発性メモリトランジスタを含む半導体装置。

【請求項15】 請求項14において、
前記回路領域は、少なくともロジックを含む、不揮発性メモリトランジスタを含む半導体装置。

【請求項16】 請求項13～15のいずれかにおいて、
前記第1の電圧型トランジスタは、Yゲート、センスアンプ、入出力バッファ、Xアドレスデコーダ、Yアドレスデコーダ、アドレスバッファおよびコントロール回路から選択される少なくとも1つの回路に含まれる、不揮発性メモリトランジスタを含む半導体装置。

【請求項17】 請求項13～15のいずれかにおいて、
前記第2の電圧型トランジスタは、Yゲート、センスアンプ、入出力バッファ、Xアドレスデコーダ、Yアドレスデコーダおよびインターフェイス回路から選択される少なくとも1つの回路に含まれる、不揮発性メモリトランジスタを含む半導体装置。

【請求項18】 請求項13～15のいずれかにおいて、
前記第3の電圧型トランジスタは、書き込み電圧発生回路、消去電圧発生回路および昇圧回路から選択される少なくとも1つの回路に含まれる、不揮発性メモリトランジスタを含む半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、スプリットゲート構造を有する不揮発性メモリトランジスタを含む半導体装置、特に、動作電圧が異なる複数の電界効果型トランジスタを含む半導体装置に関する。

【0002】

【背景技術および発明が解決しようとする課題】

近年、チップインターフェイス遅延の短縮、ボード面積分のコスト低減、ボード設計開発のコスト低減などの観点から、各種回路の混載が要求され、そのひとつとしてメモリ・ロジックの混載技術が重要となっている。しかし、このような混載技術においては、プロセスが複雑となり、ICコストが増大する問題がある。

【0003】

本発明の目的は、ゲート絶縁層の形成工程が共通化されて少ない工程数で製造が可能であり、そして、複数の異なる電圧レベルで動作され、高い信頼性を有する電界効果型トランジスタを含み、ロジックとの混載が可能な、不揮発性メモリトランジスタを含む半導体装置を提供することにある。

【0004】

【課題を解決するための手段】

本発明に係る、不揮発性メモリトランジスタを含む半導体装置は、メモリ領域と、異なる電圧レベルで動作される電界効果型トランジスタを含む第1、第2および第3のトランジスタ領域と、を含み、

前記メモリ領域は、スプリットゲート構造の不揮発性メモリトランジスタを含み、

前記第1のトランジスタ領域は、第1の電圧レベルで動作される第1の電圧型トランジスタを含み、

前記第2のトランジスタ領域は、第2の電圧レベルで動作される第2の電圧型トランジスタを含み、

前記第3のトランジスタ領域は、第3の電圧レベルで動作される第3の電圧型

トランジスタを含み、

前記第2の電圧型トランジスタは、そのゲート絶縁層が、少なくとも2層の絶縁層からなり、かつ、前記第1の電圧型トランジスタのゲート絶縁層と同じ工程で形成された絶縁層を含む。

【0005】

この半導体装置においては、少なくとも第1～第3の3つの異なる電圧レベルで動作される第1～第3の電圧型トランジスタを有するので、これらの電圧レベルで動作可能なロジックを搭載できる。そして、これらの電圧型トランジスタによって、不揮発性メモリトランジスタの動作に必要なロジックはもちろんのこと、他の回路領域も混載できる。

【0006】

また、前記第2の電圧型トランジスタのゲート絶縁層は、少なくとも2層の絶縁層からなり、そのうちの1層は、前記第1の電圧型トランジスタのゲート絶縁層と同じ工程で形成されるので、工程数を少なくできる。

【0007】

前記第3の電圧型トランジスタは、そのゲート絶縁層が、少なくとも3層の絶縁層からなり、かつ、前記第1の電圧型トランジスタのゲート絶縁層と同じ工程で形成された絶縁層を含むことが望ましい。これにより、第2および第3の電圧型トランジスタの各ゲート絶縁層は、前記第1の電圧型トランジスタのゲート絶縁層と同じ工程で形成されるので、さらに工程数を少なくできる。

【0008】

前記スプリットゲート構造の不揮発性メモリトランジスタは、ソース、ドレイン、ゲート絶縁層、フローティングゲート、トンネル絶縁層として機能する中間絶縁層およびコントロールゲートを含む。前記中間絶縁層は、少なくとも3層の絶縁層からなり、前記フローティングゲートおよび前記コントロールゲートにそれぞれ接する2つの最外層は熱酸化法によって形成された絶縁層からなることが望ましい。これらの最外層が前記フローティングゲートおよび前記コントロールゲートに接することにより、それぞれの界面準位が安定となる。その結果、FN伝導 (Fowler-Nordheim tunneling) による電荷の移

動が安定して行われ、不揮発性メモリトランジスタの動作が安定する。そして、前記中間絶縁層の前記コントロールゲートに接する最外層は、前記第1の電圧型トランジスタのゲート絶縁層と同一工程で形成されることが望ましい。これにより、工程数をさらに少なくできる。

【0009】

前記第3の電圧型トランジスタは、そのゲート絶縁層が前記不揮発性メモリトランジスタの中間絶縁層と同一の工程で形成されることが望ましい。これにより、工程数の低減をさらに達成できる。

【0010】

各電圧型トランジスタのゲート絶縁層の膜厚は、該電圧型トランジスタの耐圧などを考慮すると、以下の範囲であることが望ましい。

【0011】

前記第1の電圧型トランジスタは、そのゲート絶縁層の膜厚が3～13 nmであることが望ましい。

【0012】

前記第2の電圧型トランジスタは、そのゲート絶縁層の膜厚が4～15 nmであることが望ましい。

【0013】

前記第3の電圧型トランジスタは、そのゲート絶縁層の膜厚が16～45 nmであることが望ましい。

【0014】

また、前記不揮発性メモリトランジスタの前記中間絶縁層の膜厚は、トンネル絶縁層の特性などを考慮すると、16～45 nmであることが望ましい。さらに、前記不揮発性メモリトランジスタは、その中間絶縁層を構成する前記第1の最外層の膜厚が5～15 nmであり、第2の最外層の膜厚が1～10 nmであることが望ましい。

【0015】

各前記電圧型トランジスタを動作するための電圧レベルは、以下の範囲であることが望ましい。

【0016】

前記第1の電圧型トランジスタを動作する第1の電圧レベルは、絶対値で1.8～3.3Vであり、前記第2の電圧型トランジスタを動作する第2の電圧レベルは、絶対値で2.5～5Vであり、前記第3の電圧型トランジスタを動作する第3の電圧レベルは、絶対値で10～15Vであることが望ましい。

【0017】

本発明の製造方法によって得られる半導体装置は、少なくともフラッシュメモリ（フラッシュEEPROM）を有し、不揮発性メモリトランジスタのメモリセルアレイと周辺回路を含んで形成される。また、この半導体装置は、さらに、ロジックなどの他の回路領域を混載することができる。

【0018】

前記回路領域としては、例えばセルベース回路、ROM、RAMなどのメモリ回路、RISC（Reduced Instruction Set Computer）、IP（Intellectual Property）マクロ、アナログ回路などをあげることができる。

【0019】

前記第1の電圧型トランジスタは、Yゲート、センスアンプ、入出力バッファ、Xアドレスデコーダ、Yアドレスデコーダ、アドレスバッファおよびコントロール回路から選択される少なくとも1つの回路に含まれることができる。

【0020】

前記第2の電圧型トランジスタは、Yゲート、センスアンプ、入出力バッファ、Xアドレスデコーダ、Yアドレスデコーダおよびインターフェイス回路から選択される少なくとも1つの回路に含まれることができる。

【0021】

前記第3の電圧型トランジスタは、書き込み電圧発生回路、消去電圧発生回路および昇圧回路から選択される少なくとも1つの回路に含まれることができる。

【0022】

【発明の実施の形態】

（デバイスの構造）

図1は、本発明に係る不揮発性メモリトランジスタを含む半導体装置の断面を模式的に示す図である。この半導体装置は、メモリ領域4000と、第1のトランジスタ領域1000、第2のトランジスタ領域2000および第3のトランジスタ領域3000とを含む。

【0023】

メモリ領域4000は、スプリットゲート構造を有する不揮発性メモリトランジスタ（以下、「メモリトランジスタ」という）400を含む。第1のトランジスタ領域1000は、第1の電圧レベルV1（絶対値で1.8～3.3V）で動作される第1の電圧型トランジスタ100を含む。第2のトランジスタ領域2000は、第2の電圧レベルV2（絶対値で2.5～5V）で動作する第2の電圧型トランジスタ200を含む。そして、第3のトランジスタ領域3000は、第3の電圧レベルV3（絶対値で10～15V）で動作される第3の電圧型トランジスタ300を含む。第1～第3の電圧型トランジスタ100、200、300が用いられる回路の具体例については、後に述べる。

【0024】

メモリトランジスタ400、第1の電圧型トランジスタ100、第2の電圧型トランジスタ200および第3の電圧型トランジスタ300は、それぞれ、P型シリコン基板10内に形成されたウェル12内に形成されている。そして、メモリ領域4000、第1～第3のトランジスタ領域1000、2000および3000は、それぞれフィールド絶縁層18によって分離されている。また、各領域1000～4000内において、各トランジスタは所定のパターンで形成されたフィールド絶縁層（図示せず）によって分離されている。なお、図示の例では各トランジスタはウェル内に形成されているが、ウェルを必要としない場合には基板に形成されていてもよい。例えば、Nチャネル型のメモリトランジスタあるいはNチャネル型の第3の電圧型トランジスタは、ウェル内ではなく基板に形成されていてもよい。

【0025】

第1～第3のトランジスタ領域1000、2000、3000およびメモリ領域4000においては、それぞれNチャネル型およびPチャネル型のトランジス

タを含むことができるが、図 1 においては説明を容易にするために、いずれか一方の導電型のトランジスタのみを図示している。

【0026】

メモリトランジスタ 400 は、P 型のウエル 12 内に形成された N^+ 型不純物拡散層からなるソース 16 およびドレイン 14 と、ウエル 12 の表面に形成されたゲート絶縁層 26 とを有する。このゲート絶縁層 26 上には、フローティングゲート 40 と、中間絶縁層 50 と、コントロールゲート 36 とが順次形成されている。

【0027】

さらに、フローティングゲート 40 の上には、選択酸化絶縁層 42 が形成されている。この選択酸化絶縁層 42 は、後に詳述するように、フローティングゲートとなるポリシリコン層の一部に選択酸化によって形成され、中央から端部へ向けてその膜厚が薄くなる構造を有する。その結果、フローティングゲート 40 の上縁部は鋭角に形成され、この上縁部で電界集中が起きやすいようになっている。

【0028】

メモリトランジスタ 400 のゲート絶縁層 26 の膜厚は、メモリトランジスタ 400 の耐圧などを考慮して、好ましくは 6 ~ 9 nm である。

【0029】

中間絶縁層 50 は、選択酸化絶縁層 42 の上面からフローティングゲート 40 の側面に連続し、さらにシリコン基板 10 の表面に沿ってソース 16 の一端にいたるように形成されている。この中間絶縁層 50 は、いわゆるトンネル絶縁層として機能する。さらに、中間絶縁層 50 は、3 層の絶縁層（酸化シリコン層）からなり、下から順に、第 1 の絶縁層 50 a、第 2 の絶縁層 50 b および第 3 の絶縁層 50 c から構成されている。そして、第 1 および第 3 の絶縁層 50 a および 50 c は、熱酸化法によって形成された酸化シリコン層からなり、第 2 の絶縁層 50 b は CVD 法によって形成された酸化シリコン層からなる。

【0030】

中間絶縁層 50 は、トンネル絶縁層としての機能などを考慮すると、その膜厚

が好ましくは16~45nmである。また、第1の絶縁層50aの膜厚は、好ましくは5~15nmであり、第2の絶縁層50bの膜厚は、好ましくは10~20nmであり、第3の絶縁層50cの膜厚は、好ましくは1~10nmである。

【0031】

このようにトンネル絶縁層として機能する中間絶縁層50は、3層構造をなし、しかもフローティングゲート40およびコントロールゲート36に接する第1の絶縁層（第1の最外層）50aおよび第3の絶縁層（第2の最外層）50cは、熱酸化膜によって形成されている。このことにより、フローティングゲート40と第1の絶縁層50aとの界面準位が安定し、またコントロールゲート36と第3の絶縁層50cとの界面準位が安定する。その結果、FN伝導によるフローティングゲート40から中間絶縁層50を介してコントロールゲート36への電荷の移動が安定して行われ、メモリトランジスタ400の動作が安定する。このことは、メモリトランジスタ400における、データの書き込み／消去を繰り返すことのできる回数（サイクル寿命）の増大に寄与する。

【0032】

また、中間絶縁層50が、CVD法によって形成された酸化シリコン層からなる第2の絶縁層50bを有することにより、フローティングゲート40とコントロールゲート36との間の耐圧を高め、メモリセルの書き込みおよび読み出しの動作時の誤動作、すなわちライトディスタ urbおよびリードディスタ urbを防止できる利点がある。

【0033】

第1の電圧型トランジスタ100は、Pチャネル型MOSトランジスタを例にとると、N型のウェル12内に形成されたP⁺型不純物拡散層からなるソース16およびドレイン14と、第1のゲート絶縁層20と、第1のゲート電極30と、を有する。第1の電圧型トランジスタ100は、第1の電圧レベルV₁（絶対値で1.8~3.3V）で駆動される。第1のゲート絶縁層20の膜厚は、第1の電圧型トランジスタ100の耐圧などを考慮して、好ましくは3~13nmである。

【0034】

第2の電圧型トランジスタ200は、Nチャネル型MOSトランジスタを例にとると、P型のウェル12内に形成された N^+ 型不純物拡散層からなるソース16およびドレイン14と、第2のゲート絶縁層22と、第2のゲート電極32とを有する。第2のゲート絶縁層22は、2層の酸化シリコン層、すなわち第1の絶縁層22aと、第2の絶縁層22bとからなる。ここで、第2の絶縁層22bは、上述した第1の電圧型トランジスタ100の第1のゲート絶縁層20と同一の工程で形成される。

【0035】

第2の電圧型トランジスタ200は、第2の電圧レベル V_2 （絶対値で2.5～5V）で駆動される。第2のゲート絶縁層22は、第2の電圧型トランジスタ200の耐圧などを考慮して、その膜厚が好ましくは4～15nmである。また、第1の絶縁層22aの膜厚は、好ましくは3～15nmであり、第2の絶縁層22bの膜厚は、好ましくは1～10nmである。

【0036】

第3の電圧型トランジスタ300は、Pチャネル型MOSトランジスタを例にとると、N型のウェル12内に形成された P^+ 型不純物拡散層からなるソース16およびドレイン14と、第3のゲート絶縁層24と、第3のゲート電極34とを有する。第3のゲート絶縁層24は、3層の酸化シリコン層からなり、下から順に、第1の絶縁層24a、第2の絶縁層24bおよび第3の絶縁層24cからなる。これらの絶縁層24a、24bおよび24cは、上述したメモリトランジスタ400の中間絶縁層50を構成する第1の絶縁層50a、第2の絶縁層50bおよび第3の絶縁層50cと同じ工程で形成されることが望ましい。

【0037】

第3の電圧型トランジスタ300は、第3の電圧レベル V_3 （絶対値で10～15V）で駆動される。第3のゲート絶縁層24は、第3の電圧型トランジスタ300の耐圧などを考慮して、その膜厚が好ましくは16～45nmである。第1の絶縁層24aの膜厚は、好ましくは5～15nm、第2の絶縁層24bの膜厚は、10～20nm、および第3の絶縁層24cの膜厚は1～10nmである。

【0038】

メモリトランジスタ400、第1～第3の電圧型トランジスタ100、200および300が形成されたウエハ上には、層間絶縁層600が形成されている。この層間絶縁層600には、ソース16、ドレイン14、および各トランジスタ100、200、300、400のゲート電極に到達するコンタクトホールが形成され、これらのコンタクトホール内にはコンタクト導電層が形成されている。そして、層間絶縁層600の上には所定パターンの配線層80が形成されている。なお、図1においては、一部のコンタクト導電層および配線層を図示している。

【0039】

この半導体装置は、少なくとも3つの異なる電圧レベル (V_1 , V_2 , V_3) で動作する第1～第3の電圧型トランジスタ100、200、300がそれぞれ形成された、第1～第3のトランジスタ領域1000、2000、3000を有する。この半導体装置によれば、メモリ領域4000のメモリトランジスタ400の動作が可能である。そして、この半導体装置では、フラッシュ（一括消去型）EEPROMの動作のためのロジックはもちろんのこと、フラッシュEEPROMと、各電圧レベルで動作可能な他の回路領域、たとえば、インターフェイス回路、ゲートアレイ回路、RAM、ROMなどのメモリ回路、RISC (Reduced Instruction Set Computer) あるいは各種IP (Intellectual Property) マクロなどの回路、あるいはその他のデジタル回路、アナログ回路などを、同一基板内に混載し、システムLSIを構成することができる。

【0040】

以下に、メモリトランジスタの動作方法、本発明の半導体装置を適用したエンベデッド半導体装置および図1に示す半導体装置の製造方法について述べる。

【0041】

（メモリセルの動作方法）

次に、本発明の半導体装置を構成するメモリトランジスタ400の動作方法の一例について説明する。

【0042】

このスプリットゲート構造のメモリトランジスタ400を動作させる場合には、データの書き込み時には、ソース16とドレイン14間にチャネル電流を流し、電荷（ホットエレクトロン）をフローティングゲート40に注入し、データの消去時には、所定の高電圧をコントロールゲート36に印加し、FN伝導によってフローティングゲート42に蓄積された電荷をコントロールゲート36に移動させる。以下に、各動作について述べる。

【0043】

まず、書き込み動作について述べる。

【0044】

データの書き込み動作においては、ドレイン14に対してソース16を高電位にし、コントロールゲート36に低電位を印加する。これにより、ドレイン14付近で発生するホットエレクトロンは、フローティングゲート40に向かって加速され、ゲート絶縁層26を介してフローティングゲート40に注入され、データの書き込みがなされる。

【0045】

この書き込み動作では、例えば、コントロールゲート36の電位 (V_c) を2V、ソース16の電位 (V_s) を9V、ドレイン14の電位 (V_d) を0Vとする。また、ウエル12の電位 (V_{well}) を0Vとする。

【0046】

次に、消去動作について説明する。

【0047】

消去動作においては、ソース16およびドレイン14の電位に対してコントロールゲート36の電位を高くする。これにより、フローティングゲート40内に蓄積された電荷は、フローティングゲート40の先鋭な上縁部からFN伝導によって中間絶縁層50を突き抜けてコントロールゲート36に放出されて、データが消去される。

【0048】

この消去動作では、例えば、コントロールゲート36の電位 (V_c) を12Vとし、ソース16およびドレイン14の電位 V_s および V_d を0Vとし、ウエル

12の電位 (V_{well}) を0Vとする。

【0049】

次に読み出し動作について説明する。

【0050】

読み出し動作においては、ソース16に対してドレイン14を高電位とし、コントロールゲートに所定の電圧を印加することにより、チャネルの形成の有無によって書き込まれたデータの判定がなされる。すなわち、フローティングゲート40に電荷が注入されていると、フローティングゲート40の電位が低くなるため、チャネルが形成されず、ドレイン電流が流れない。逆に、フローティングゲート40に電荷が注入されていないと、フローティングゲート40の電位が高くなるため、チャネルが形成されてドレイン電流が流れる。そこで、ドレイン14から流れる電流をセンスアンプによって検出することにより、メモリトランジスタ400のデータを読み出すことができる。

【0051】

読み出し動作においては、例えば、コントロールゲート36の電位 (V_c) は3Vとし、ソース16の電位 (V_s) を0Vとし、ドレイン14の電位 (V_d) を2Vとし、ウェル12の電位 (V_{well}) を0Vとする。

【0052】

以上述べた各動作態様は一例であって、他の動作態様を採用することもできる。

【0053】

(エンベデット半導体装置への適用例)

図14は、本発明の半導体装置が適用された、エンベデット半導体装置5000のレイアウトを示す模式図である。この例では、エンベデット半導体装置5000は、フラッシュメモリ (フラッシュEEPROM) 90と、SRAMメモリ92と、RISC94と、アナログ回路96と、インターフェイス回路98とがSOG (Sea of Gate) に混載されている。

【0054】

図15は、フラッシュメモリの一般的な構成を示すブロック図である。フラッ

シュメモリは、メモリトランジスタが行列状に配置されたメモリセルアレイ 1 と、Yゲート、センスアンプ 2 と、入出力バッファ 3 と、Xアドレスデコーダ 4 と、Yアドレスデコーダ 5 と、アドレスバッファ 6 と、コントロール回路 7 とを含む。

【 0 0 5 5 】

メモリセルアレイ 1 は、図 1 に示すメモリ領域 4 0 0 0 に対応し、行列状に配置された複数のスプリットゲート構造のメモリトランジスタ 4 0 0 を有する。メモリセルアレイ 1 の行および列を選択するために、メモリセルアレイ 1 には X アドレスデコーダ 4 と Y ゲート 2 とが接続されている。Y ゲート 2 には列の選択情報を与える Y アドレスデコーダ 5 が接続されている。X アドレスデコーダ 4 と Y アドレスデコーダ 5 には、それぞれ、アドレス情報が一時格納されるアドレスバッファ 6 が接続されている。

【 0 0 5 6 】

Y ゲート 2 には、データの書き込み動作を行なうための書き込み電圧発生回路（図示せず）、データの読み出し動作を行なうためのセンスアンプが接続されている。X アドレスデコーダには、データの消去動作を行なうための消去電圧発生回路が接続されている。書き込み電圧発生回路およびセンスアンプ 2 には、それぞれ入出力データを一時格納する入出力バッファ 3 が接続されている。アドレスバッファ 6 と入出力バッファ 3 とには、フラッシュメモリの動作制御を行なうためのコントロール回路 7 が接続されている。コントロール回路 7 は、チップイネーブル信号、アウトプットイネーブル信号およびプログラム信号に基づいた制御を行なう。

【 0 0 5 7 】

このようなエンベデット半導体装置 5 0 0 0 においては、各回路の動作電圧に応じて各電圧レベルのトランジスタが選択される。

【 0 0 5 8 】

第 1 の電圧レベルで動作される第 1 の電圧型トランジスタ 1 0 0 は、たとえば、Yゲート、センスアンプ、入出力バッファ、Xアドレスデコーダ、Yアドレスデコーダ、アドレスバッファ、コントロール回路、SOG およびゲートアレイか

ら選択される少なくとも1つの回路に含まれる。

【0059】

第2の電圧レベルで動作される第2の電圧型トランジスタ200は、たとえば、Yゲート、センスアンプ、入出力バッファ、Xアドレスデコーダ、Yアドレスデコーダおよびインターフェイス回路から選択される少なくとも1つの回路に含まれる。

【0060】

さらに、第3の電圧レベルで動作される第3の電圧型トランジスタ300は、たとえば、書き込み電圧発生回路、消去電圧発生回路および昇圧回路から選択される少なくとも1つの回路に含まれる。

【0061】

図14に示すエンベデッド半導体装置5000はレイアウトの一例であって、本発明は各種のシステムLSIに適用できる。

【0062】

(デバイスの製造方法)

次に、図1に示す半導体装置の製造例を図2～図13を参照しながら説明する。

【0063】

(A) まず、図2に示すように、シリコン基板10の表面に、選択酸化法によって所定の領域にフィールド絶縁層18を形成する。次いで、P型シリコン基板10内にP型不純物（例えばホウ素）あるいはN型不純物（ひ素あるいはリン）をドーピングして、所定の領域にP型またはN型のウェル12を形成する。

【0064】

さらに、シリコン基板10の表面に、例えば熱酸化法によって酸化シリコン層26Lを形成する。この酸化シリコン層26Lは、メモリトランジスタ400のゲート絶縁層26となる。この酸化シリコン層26Lは、ゲート耐圧などを考慮して好ましくは6～9nmの厚さを有する。

【0065】

(B) 次いで、図3に示すように、酸化シリコン層26Lの表面に、例えばC

VD法を用いてポリシリコン層40Lを形成する。このポリシリコン層40Lは、メモリトランジスタ400のフローティングゲート40となる。このポリシリコン層40Lは、例えば100~200nmの厚さを有する。

【0066】

次いで、ポリシリコン層40Lの表面に、第1の窒化シリコン層60Lを形成する。第1の窒化シリコン層60Lは、好ましくは50~150nmの膜厚を有する。その後、レジスト層R1をマスクとして窒化シリコン層60Lの所定領域を選択的にエッチングして除去する。第1の窒化シリコン層60Lの除去される領域は、メモリトランジスタ400の選択酸化絶縁層42が形成される領域である。

【0067】

次いで、第1の窒化シリコン層60L上に形成されたレジスト層R1をマスクとして、ポリシリコン層40Lにリンやヒ素を拡散してN型のポリシリコン層40Lを形成する。ポリシリコン層をN型にする他の方法としては、ポリシリコン層を形成した後、リンやヒ素イオンを注入する方法、ポリシリコン層を形成した後、塩化ホスホリル(POCl_3)を含んだキャリアガスを導入する方法、あるいはポリシリコン層を形成する時に、ホスフィン(PH_3)を含んだキャリアガスを導入する方法、などがある。

【0068】

次いで、レジスト層R1を除去する。

【0069】

(C) 次いで、図4に示すように、ポリシリコン層40Lの露出部分を選択的に酸化することにより、ポリシリコン層40Lの所定領域の表面に選択酸化絶縁層42を形成する。選択酸化によって形成された選択酸化絶縁層42は、中央部の膜厚が最も大きく、端部に向かって徐々に膜厚が小さくなる形状を有する。選択酸化絶縁層42は、最も膜厚が大きい部分で好ましくは100~200nmの膜厚を有する。その後、第1の窒化シリコン層60Lを除去する。

【0070】

(D) 次いで、図5に示すように、選択酸化絶縁層42をマスクとしてエッチ

ングを行ない、ポリシリコン層 40 L を選択的に除去する。

【0071】

以上の工程で、メモリ領域 4000 において、ゲート絶縁層 26、フローティングゲート 40 および選択酸化絶縁層 42 が形成される。

【0072】

(E) 次いで、図 6 に示すように、酸化シリコン層 26 L をウェットエッチングで除去した後、ウエハの表面に、熱酸化法によって 1 層目の酸化シリコン層 50 a L (24 a L) を形成する。この酸化シリコン層 50 a L (24 a L) は、メモリトランジスタ 400 の中間絶縁層 50 を構成する第 1 の絶縁層 50 a、および第 3 の電圧型トランジスタ 300 のゲート絶縁層 24 を構成する第 1 の絶縁層 24 a となる。この酸化シリコン層 50 a L (24 a L) は、例えば 5~15 nm の厚さを有する。

【0073】

酸化シリコン層を形成するための熱酸化法としては、以下の方法を好ましく用いることができる。

【0074】

(a) 700~1000℃でのドライ酸化を行う方法、

(b) 上記 (a) のドライ酸化の後に、さらに、700~1000℃でウェット酸化を行う方法、および

(c) 上記 (a) または (b) の後に、さらに、700~1000℃で窒素雰囲気中で 10~30 分間アニール処理する方法。

【0075】

上記 (a) のドライ酸化を用いることにより、フローティングゲート 40 の表面の多結晶シリコンのグレインサイズを均一化でき、さらにフローティングゲート 40 の表面の平坦性を向上させることができる。その結果、フローティングゲート 40 の界面準位がより安定化するとともに、電子の捕獲が低減でき、メモリトランジスタの書き込み/消去のサイクル寿命をより長くすることができる。

【0076】

さらに、上記 (a) のドライ酸化の後に、上記 (b) のウェット酸化および上

記(c)のアニール処理の少なくとも一方の工程を追加することにより、酸化シリコン層50aLをより緻密化して、電子捕獲の低減など、膜質の特性を向上させることができる。

【0077】

(F) 次いで、図7に示すように、1層目の酸化シリコン層50aL(24aL)の表面に、さらに2層目の酸化シリコン層50bL(24bL)を形成する。この酸化シリコン層50bL(24bL)は、CVD法により形成される。酸化シリコン層50bL(24bL)は、メモリトランジスタ400の中間絶縁層50を構成する第2の絶縁層50b、および第3の電圧型トランジスタ300のゲート絶縁層24を構成する第2の絶縁層24bとなる。そして、このシリコン絶縁層50bL(24bL)は、例えば10~20nmの厚さを有する。

【0078】

ここで用いられるCVD法としては、得られる膜の緻密さ、後工程の熱酸化での酸素イオンの透過耐性等を考慮すると、モノシラン、テトラエトキシシランなどを用いたHTO(High Temperature Oxide)法、または酸化剤としてオゾンを用いたTEOS(Tetraethyl Orthosilicate)法やプラズマTEOS法などを好ましく用いることができる。

【0079】

次いで、酸化シリコン層50bL(24bL)の表面に、第2の窒化シリコン層62Lを形成する。この第2の窒化シリコン層62Lは、好ましくは10~20nmの膜厚を有する。第2の窒化シリコン層62Lを形成することにより、後の工程(I)で、第2の窒化シリコン層62Lを除去することにより、メモリトランジスタ400の中間絶縁層50および第3の電圧型トランジスタ300のゲート絶縁層24の膜厚を必要以上に厚くすることがなく、膜厚の制御が正確となる。その後、700~1000℃で20~40分間程度アニール処理を行い、各絶縁層を緻密にする。

【0080】

(G) 次いで、図8に示すように、第2のトランジスタ領域2000に開口部を有するレジスト層R3を形成する。このレジスト層R3をマスクとして第2の

トランジスタ領域 2000 における、第 2 の窒化シリコン層 62 L、上層の酸化シリコン層 50 b L および下層の酸化シリコン層 50 a L をドライエッチングおよびウェットエッチングにより除去する。その後、レジスト層 R 3 を除去する。

【0081】

(H) 次いで、図 9 に示すように、ウエハの表面に熱酸化、例えば 700～900℃ でウェット酸化することによって、3 層目の酸化シリコン層 22 a L を形成する。この酸化シリコン層 22 a L は、第 2 の電圧型トランジスタ 200 のゲート絶縁層 22 を構成する第 1 の絶縁層 22 a となる。酸化シリコン層 22 a L は、例えば 3～15 nm の厚さを有する。

【0082】

(I) 次いで、図 10 に示すように、第 2 のトランジスタ領域 2000 における酸化シリコン層 22 a L の表面に、レジスト層 R 4 を形成する。レジスト層 R 4 をマスクとして、第 2 の窒化シリコン層 62 L をドライエッチングによって除去する。その後、レジスト層 R 4 を除去する。

【0083】

(J) 次いで、図 11 に示すように、第 1 のトランジスタ領域 1000 に開口部を有するレジスト層 R 5 を形成する。このレジスト層 R 5 をマスクとして、第 1 のトランジスタ領域 1000 における 2 層の酸化シリコン層 50 b L および 50 a L をウェットエッチングによって除去する。その後、レジスト層 R 5 を除去する。

【0084】

(K) 次いで、図 12 に示すように、熱酸化、例えば 700～900℃ でウェット酸化することにより、ウエハの表面に 4 層目の酸化シリコン層 20 L (50 c L, 22 b L, 24 c L) を形成する。この酸化シリコン層 20 L は、第 1 の電圧型トランジスタ 100 のゲート絶縁層 20、第 2 の電圧型トランジスタ 200 のゲート絶縁層 22 を構成する第 2 の絶縁層 22 b、第 3 の電圧型トランジスタ 300 のゲート絶縁層 24 を構成する第 3 の絶縁層 24 c、およびメモリトランジスタ 400 の中間絶縁層 50 を構成する第 3 の絶縁層 50 c となる。酸化シリコン層 20 L は、例えば 1～10 nm の厚さを有する。

【0085】

以上の工程によって、メモリトランジスタ400の中間絶縁層50、第1の電圧型トランジスタ100のゲート絶縁層20、第2の電圧型トランジスタ200のゲート絶縁層22および第3の電圧型トランジスタ300のゲート絶縁層24を構成するための絶縁層が形成される。

【0086】

(L) 次いで、図13に示すように、ウエハの表面に、前記(C)の工程で述べたと同様な方法によりポリシリコン層を形成する。あるいは公知の方法でポリシリコン層の代わりに、ポリサイド層を形成する。このポリシリコン層上に所定のパターンを有するレジスト層を形成した後、エッチングによってパターニングを行って、メモリトランジスタ400、第1の電圧型トランジスタ100、第2の電圧型トランジスタ200および第3の電圧型トランジスタ300のそれぞれのゲート絶縁層とゲート電極を形成する。このとき、シリコン基板10の露出面に、シリコン酸化層が1～5nmの膜厚で残る状態でエッチングが行われる。

【0087】

(M) 次いで、図1に示すように、公知の方法により、Nチャネル型トランジスタにはN型不純物を、Pチャネル型トランジスタにはP型不純物を、所定のウエル12にドーピングすることにより、ソース16およびドレイン14を構成する不純物拡散層を形成する。

【0088】

次いで、トランジスタ100、200、300およびメモリトランジスタ400が形成されたウエハの表面に、例えばCVD法を用いて酸化シリコン層からなる層間絶縁層60を形成する。そして、層間絶縁層60の所定領域を選択的にエッチング除去し、ソース16およびドレイン14に到達するコンタクトホールを形成する。次いで、層間絶縁層60の上面およびコンタクトホール内に例えばスパッタリングを用いてアルミニウムなどからなる導電層を堆積する。この、導電層をパターニングすることにより、不純物拡散層と電氣的に接続された金属配線層(例えばビット線、ソース線)80を形成する。

【0089】

以上述べた製造方法においては、メモリ領域4000、第1のトランジスタ領域1000、第2のトランジスタ領域2000および第3のトランジスタ領域3000で、それぞれメモリトランジスタ400、第1の電圧型トランジスタ100、第2の電圧型トランジスタ200および第3の電圧型トランジスタ300を一連の工程で形成することができる。この製造方法によれば、スプリットゲート構造を有するメモリトランジスタと少なくとも異なる3つの電圧レベルで動作するトランジスタを混載した半導体装置を少ない工程で製造することができる。

【0090】

この製造方法においては、第2の電圧型トランジスタ200のゲート絶縁層22を構成する第2の絶縁層22bは、第1の電圧型トランジスタ100のゲート絶縁層20と同一の工程で形成される。同様に、第3の電圧型トランジスタ300のゲート電極層24を構成する第3の絶縁層24c、およびメモリトランジスタ400の中間絶縁層50を構成する第3の絶縁層50cは、第1の電圧型トランジスタ100のゲート電極層20と同一の工程で形成される。また、第3の電圧型トランジスタ300のゲート絶縁層24を構成する第1～第3の絶縁層24a、24b、24cは、メモリトランジスタ400の中間絶縁層50を構成する第1～第3の絶縁層50a、50b、50cと、それぞれ同一の工程で形成される。このようにゲート絶縁層および中間絶縁層の形成工程を共通化することにより、耐圧の異なる、すなわち膜厚の異なるゲート絶縁層を少ない工程で形成することができる。

【0091】

この製造方法においては、前記工程(E)および(F)で、中間絶縁層(トンネル絶縁層)50の第1および第2の絶縁層50aおよび50bを構成するための酸化シリコン層50aLおよび50bLを形成した後、第2の窒化シリコン層62Lを形成する。このことにより、後工程での熱酸化もしくはその前後での洗浄工程において、酸化シリコン層50aLおよび50bLは窒化シリコン層62Lで覆われて保護されているので、熱酸化工程および洗浄工程の酸化シリコン層への影響を抑制できる。その結果、膜特性に優れたトンネル絶縁層を得ることができ、信頼性の高いメモリ特性を実現できる。

【0092】

さらに、酸化シリコン層 50 a L および 50 b L の上に第 2 の窒化シリコン層 62 L を形成した状態で、熱処理（酸化処理での熱処理も含む）を行うことにより、酸化シリコン層の緻密化ならびに酸化シリコン層の膜質の向上がなされる。その結果、メモリ特性、特にデータの書き込み、消去の回数（サイクル寿命）を増すことができる。

【図面の簡単な説明】

【図 1】

本発明に係る半導体装置を模式的に示す断面図である。

【図 2】

図 1 に示す半導体装置の製造工程を示すウエハの断面図である。

【図 3】

図 1 に示す半導体装置の製造工程を示すウエハの断面図である。

【図 4】

図 1 に示す半導体装置の製造工程を示すウエハの断面図である。

【図 5】

図 1 に示す半導体装置の製造工程を示すウエハの断面図である。

【図 6】

図 1 に示す半導体装置の製造工程を示すウエハの断面図である。

【図 7】

図 1 に示す半導体装置の製造工程を示すウエハの断面図である。

【図 8】

図 1 に示す半導体装置の製造工程を示すウエハの断面図である。

【図 9】

図 1 に示す半導体装置の製造工程を示すウエハの断面図である。

【図 10】

図 1 に示す半導体装置の製造工程を示すウエハの断面図である。

【図 11】

図 1 に示す半導体装置の製造工程を示すウエハの断面図である。

【図 1 2】

図 1 に示す半導体装置の製造工程を示すウエハの断面図である。

【図 1 3】

図 1 に示す半導体装置の製造工程を示すウエハの断面図である。

【図 1 4】

本発明の半導体装置を適用したエンベデット半導体装置の一例を模式的に示す平面図である。

【図 1 5】

図 1 4 に示すエンベデット半導体装置のフラッシュメモリのブロック図である。

【符号の説明】

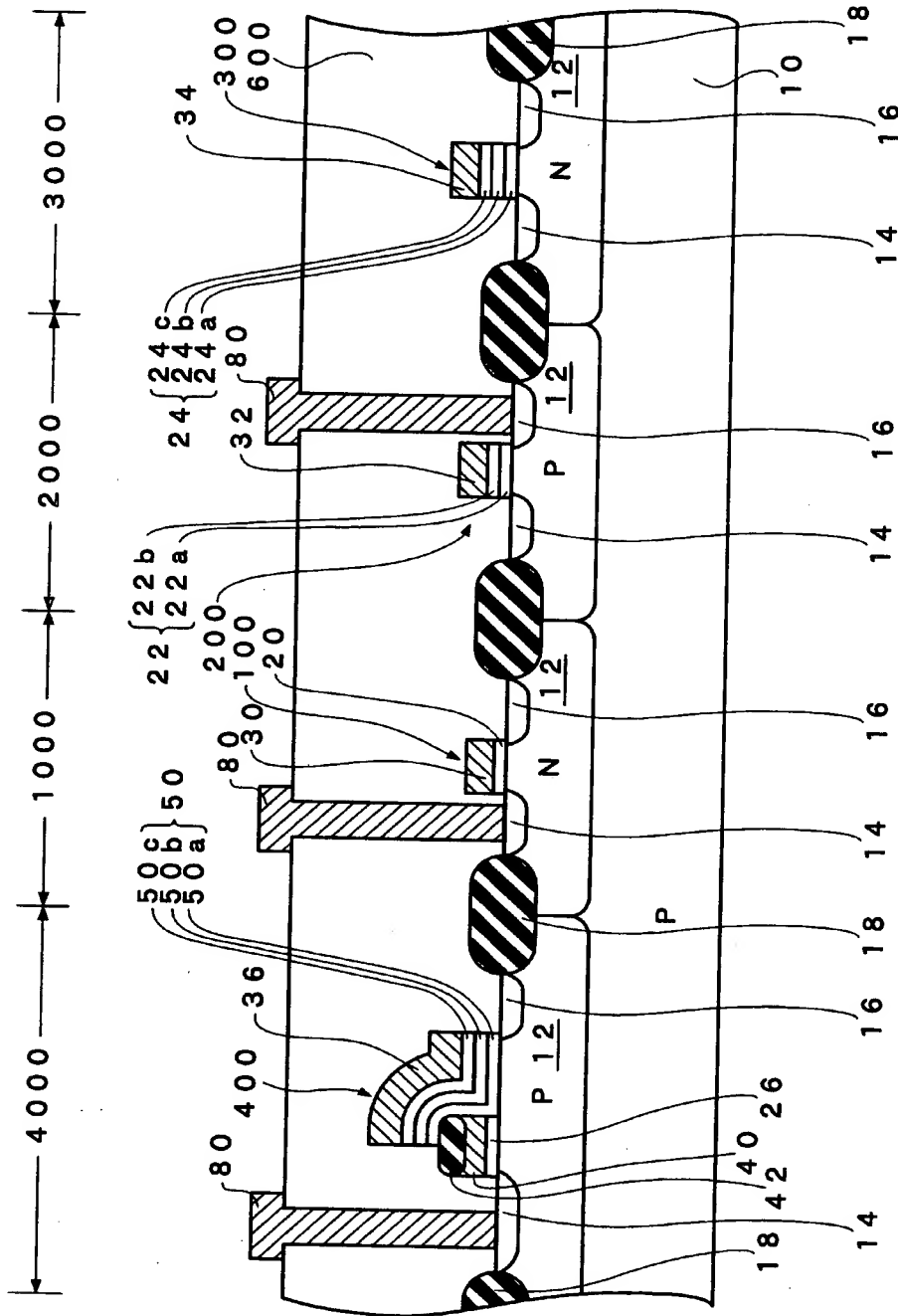
- 1 0 シリコン基板
- 1 2 ウェル
- 1 4 ドレイン
- 1 6 ソース
- 1 8 フィールド絶縁層
- 2 0, 2 2, 2 4, 2 6 ゲート絶縁層
- 2 2 a, 2 2 b 絶縁層
- 2 4 a, 2 4 b, 2 4 c 絶縁層
- 3 0, 3 2, 3 4 ゲート電極
- 3 6 コントロールゲート
- 4 0 フローティングゲート
- 4 2 選択酸化絶縁層
- 5 0 中間絶縁層
- 5 0 a, 5 0 b, 5 0 c 絶縁層
- 6 0 L, 6 2 L 窒化シリコン層
- 9 0 フラッシュメモリ
- 1 0 0 第 1 の電圧型トランジスタ
- 2 0 0 第 2 の電圧型トランジスタ

- 300 第3の電圧型トランジスタ
- 400 スプリットゲート構造のメモリトランジスタ
- 1000 第1のトランジスタ領域
- 2000 第2のトランジスタ領域
- 3000 第3のトランジスタ領域
- 4000 メモリ領域
- 5000 エンベデット半導体装置

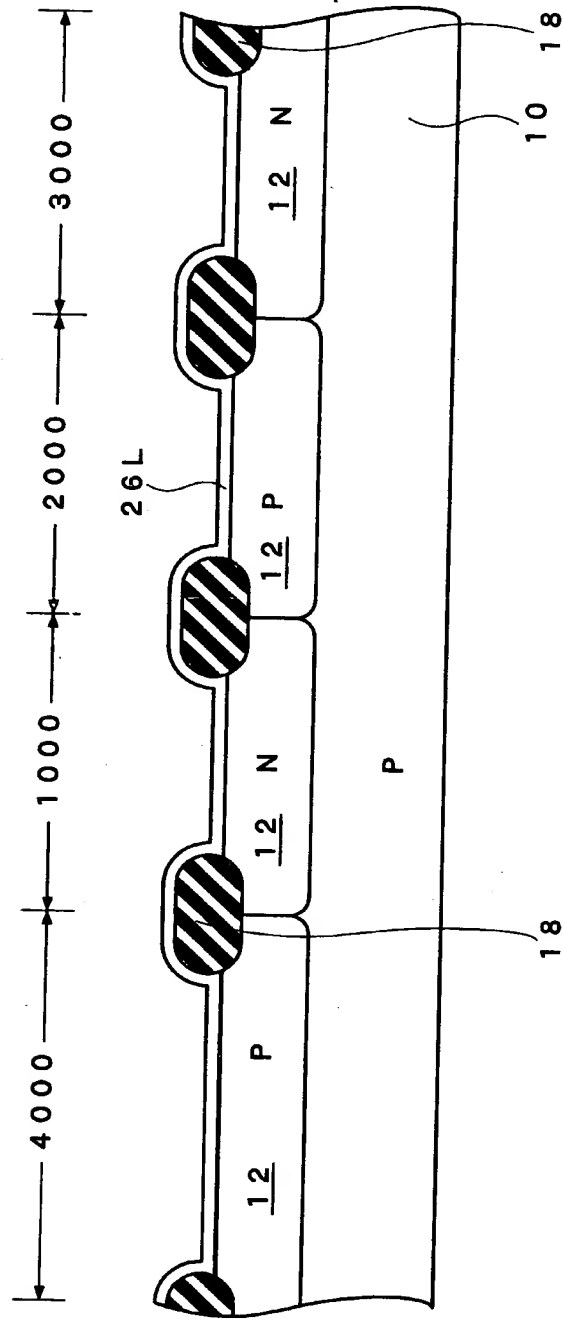
【書類名】

図面

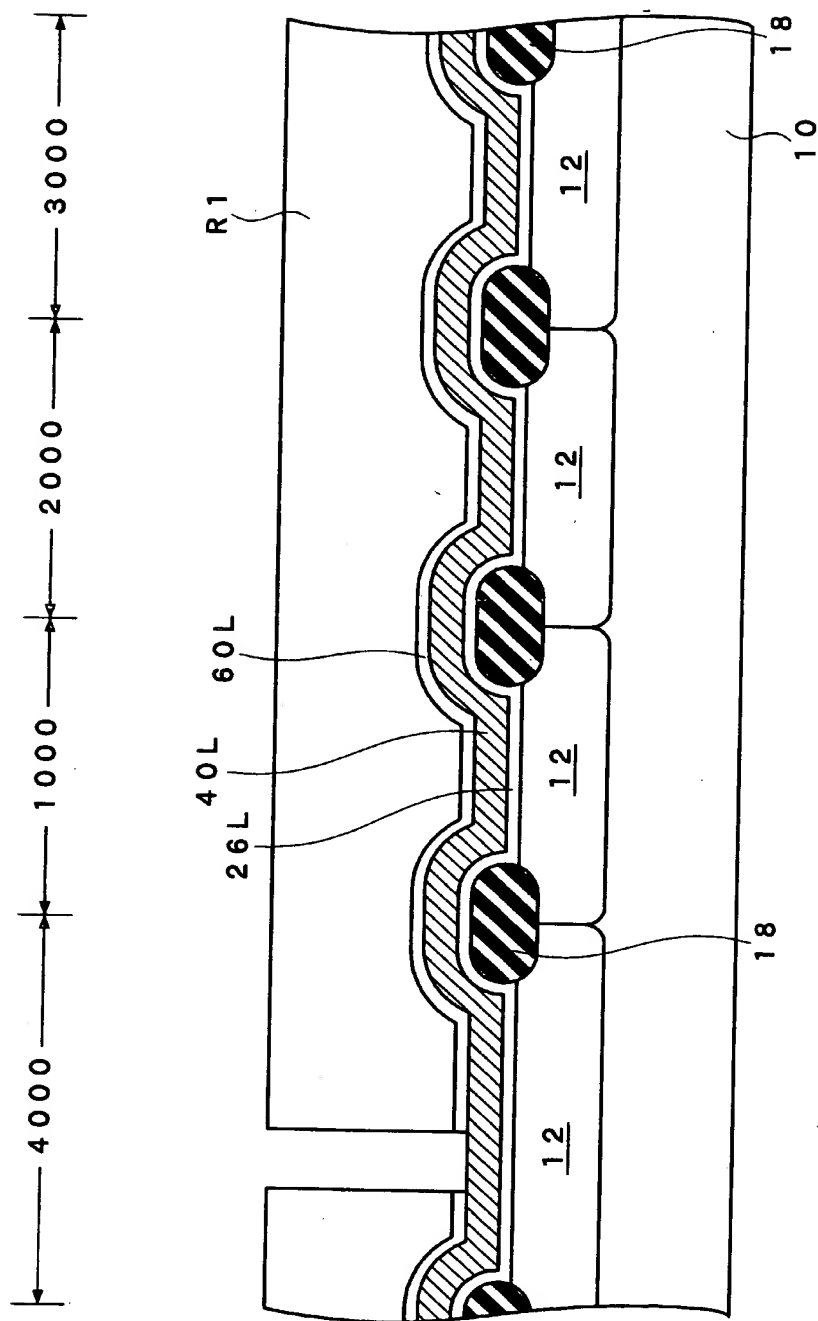
【図 1】



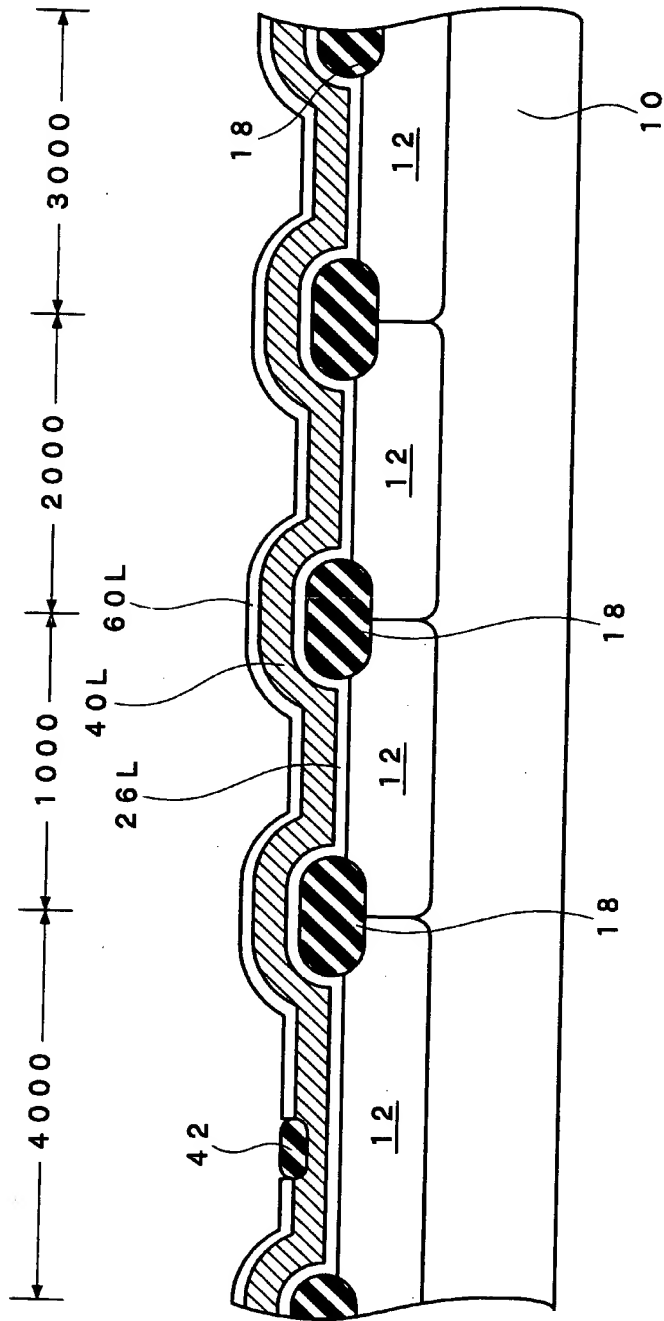
【図 2】



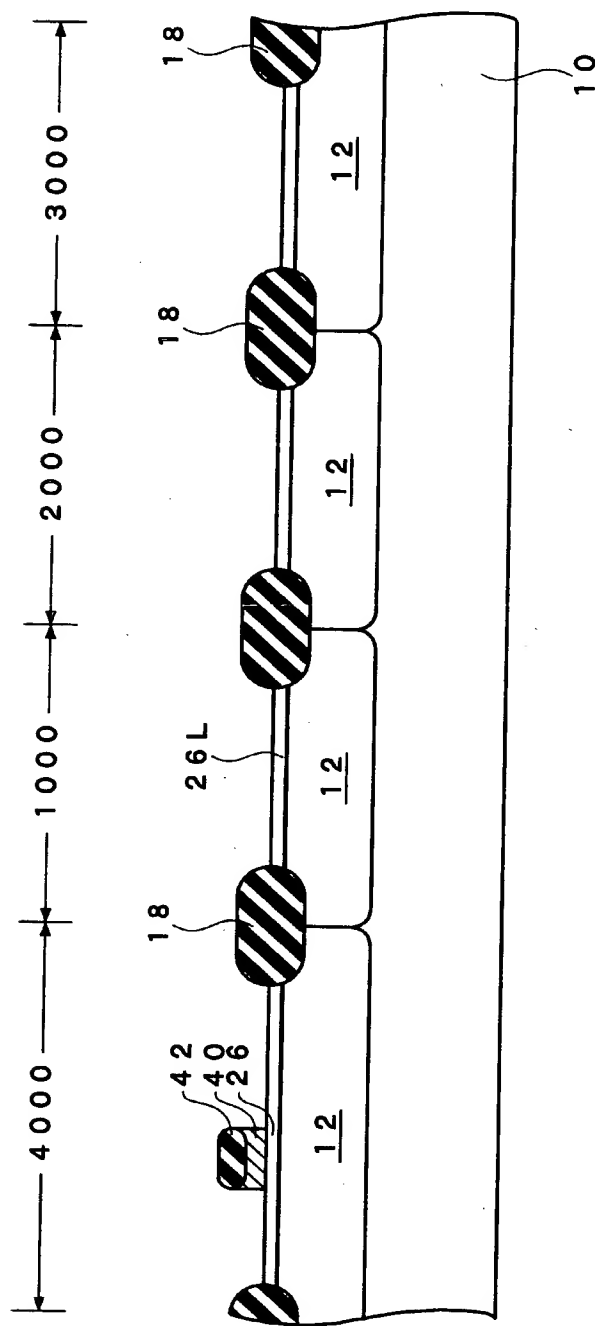
【図 3】



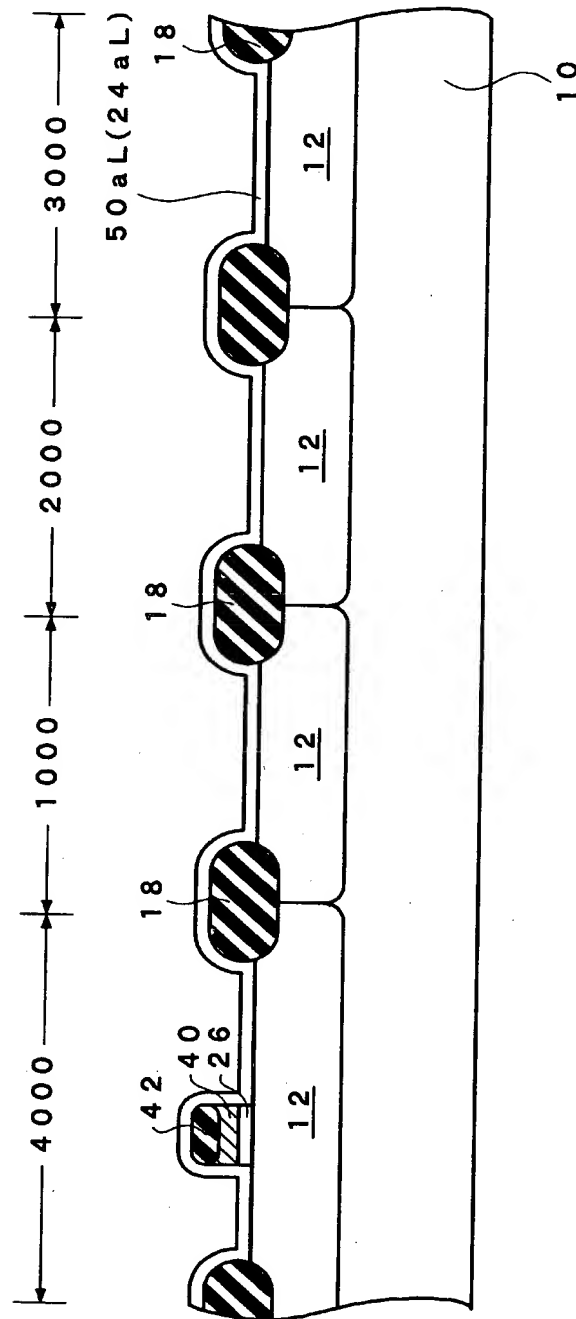
【图 4】



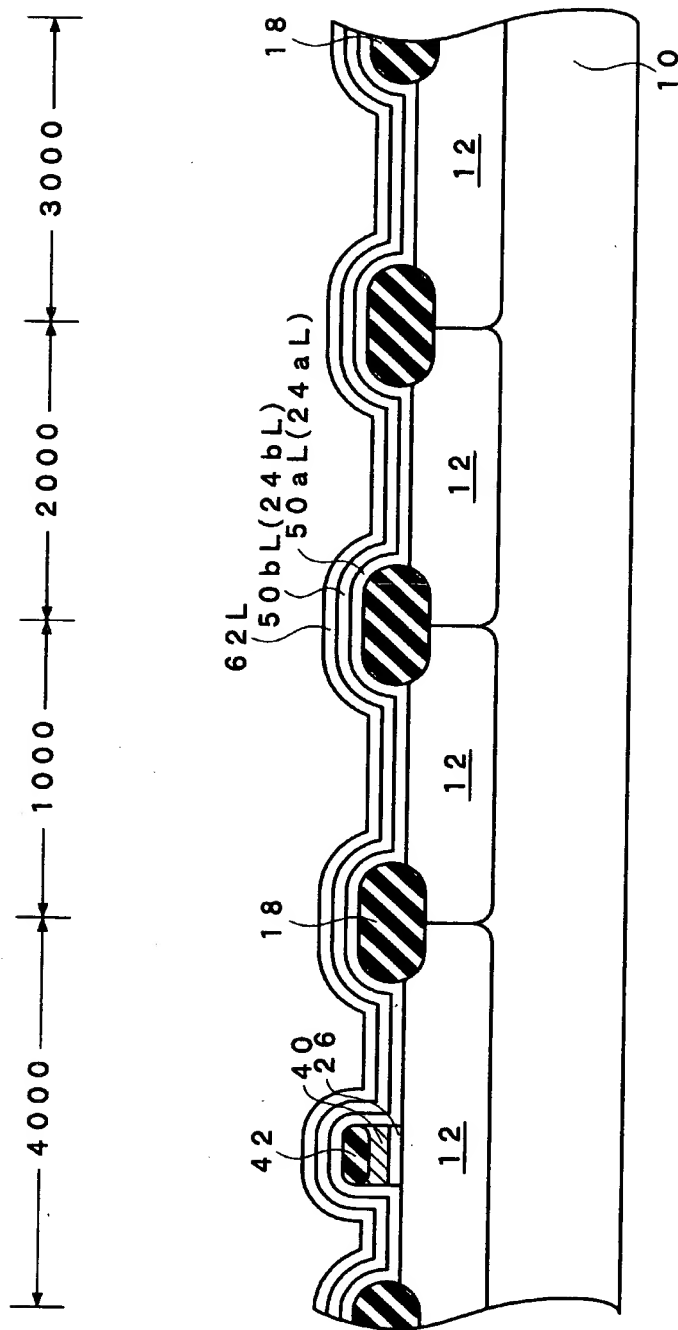
【図 5】



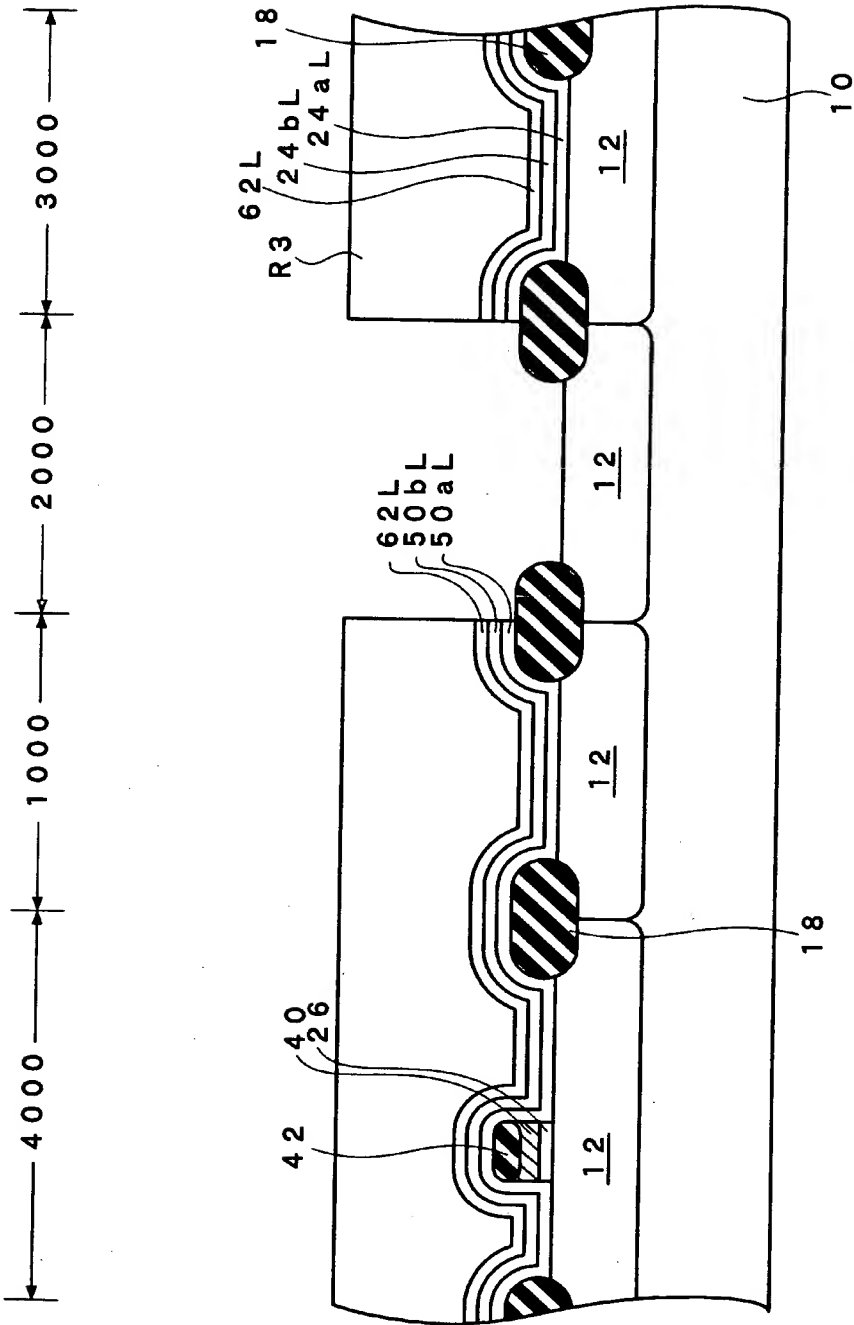
【図 6】



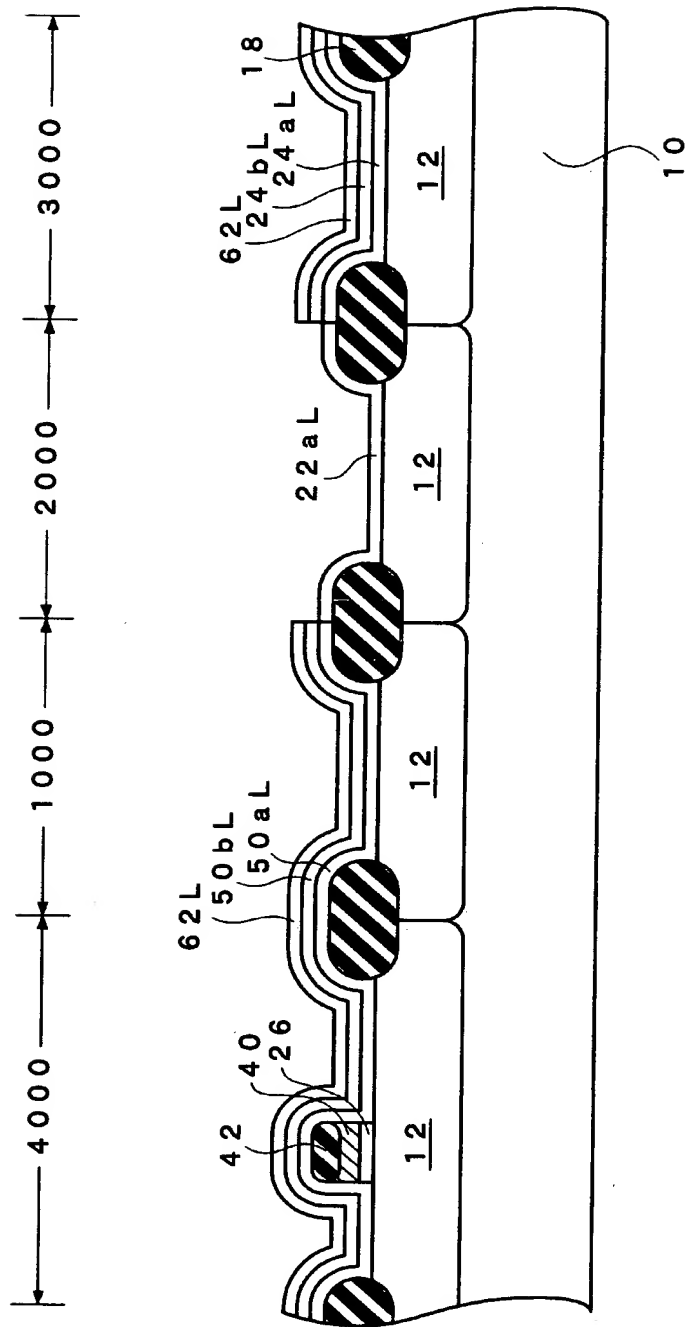
【図 7】



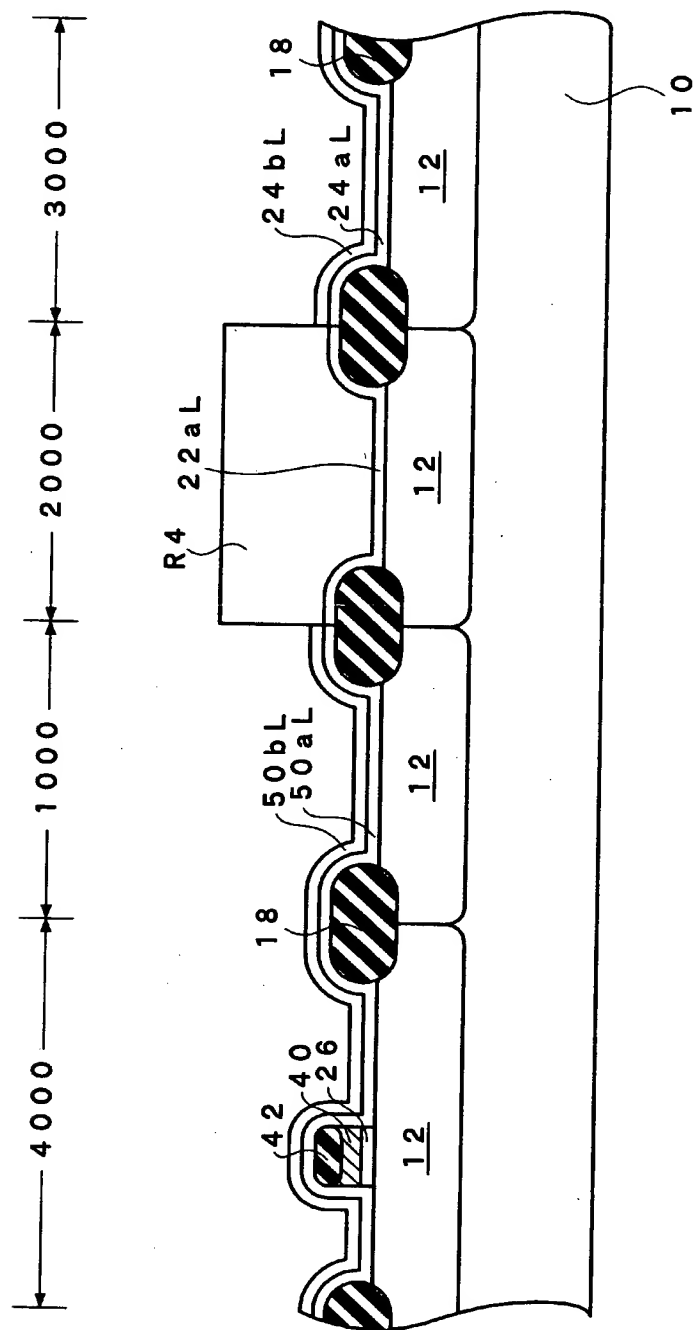
【図 8】



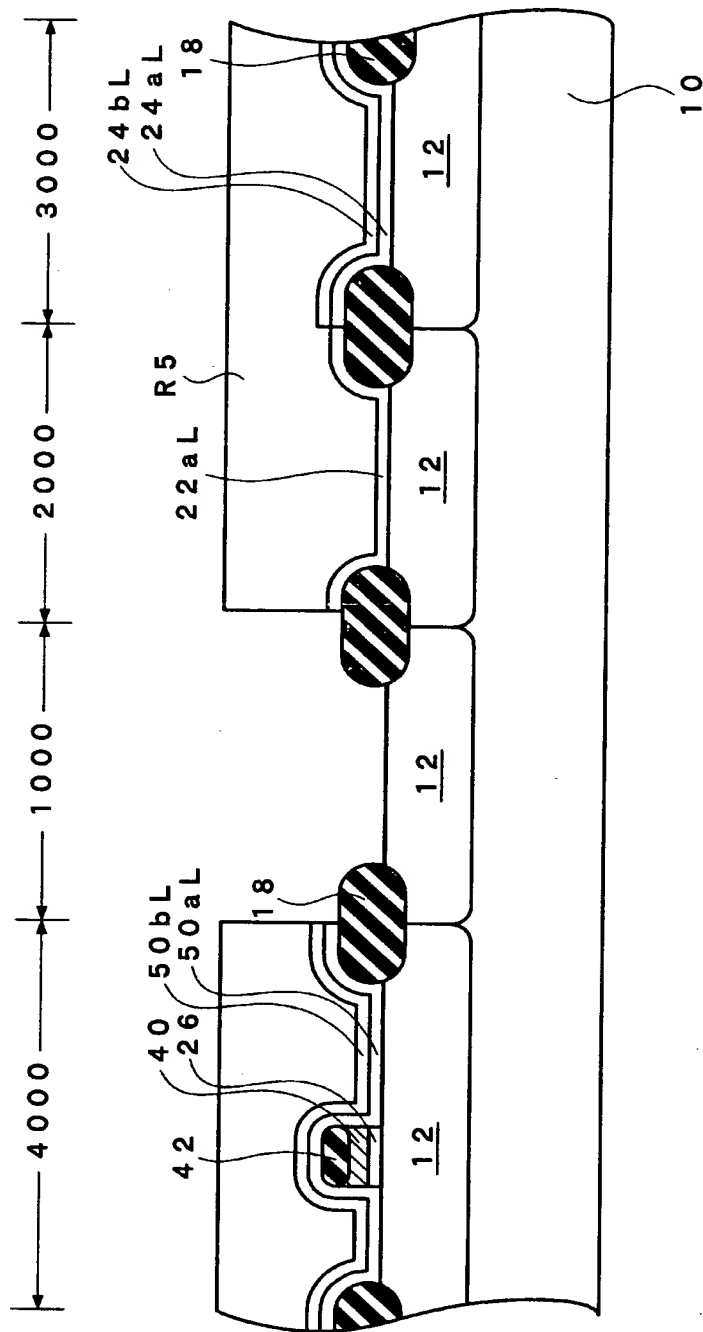
【図 9】



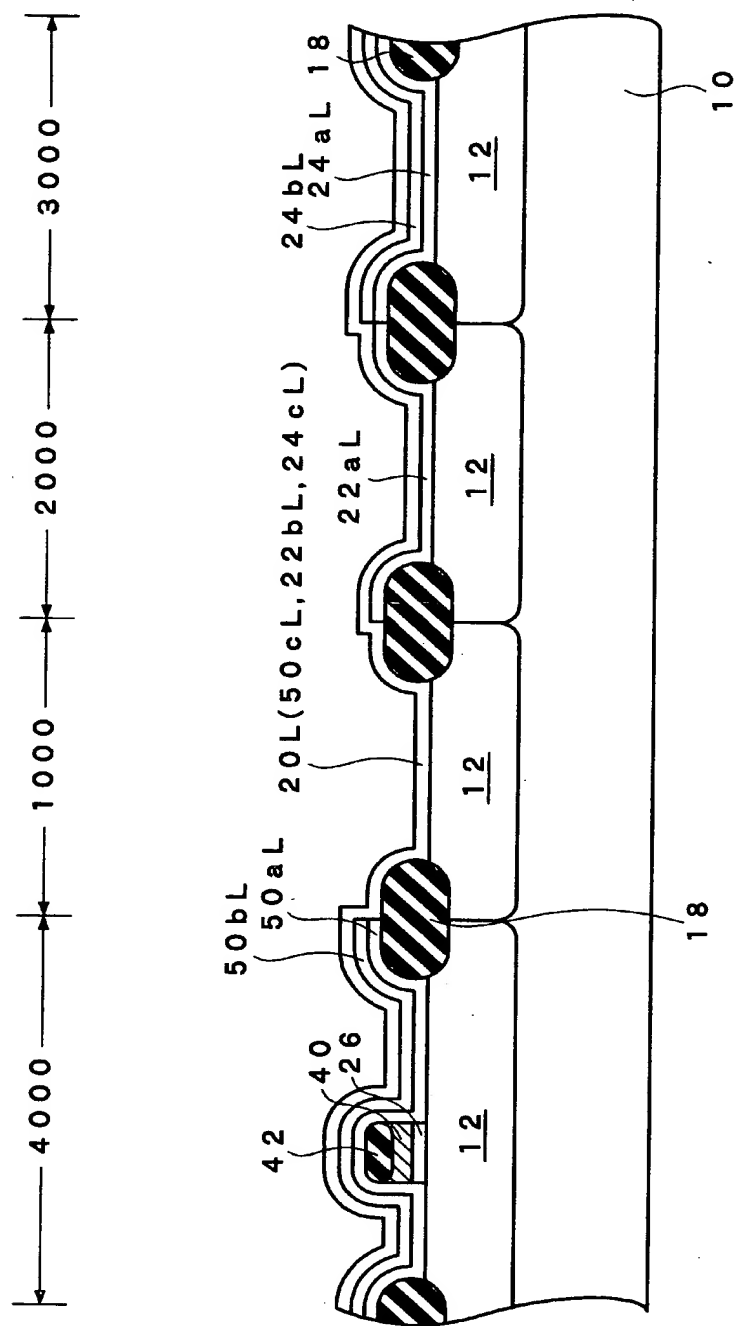
【図 10】



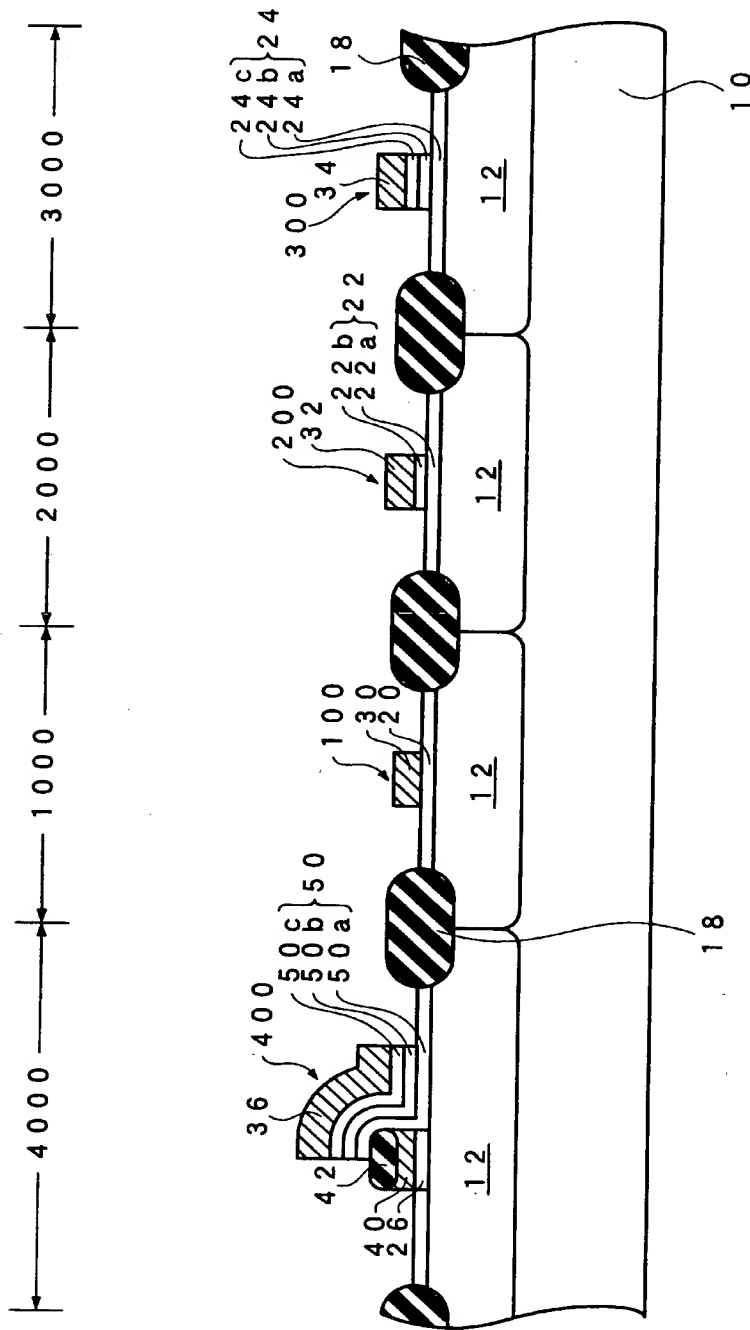
【図 1 1】



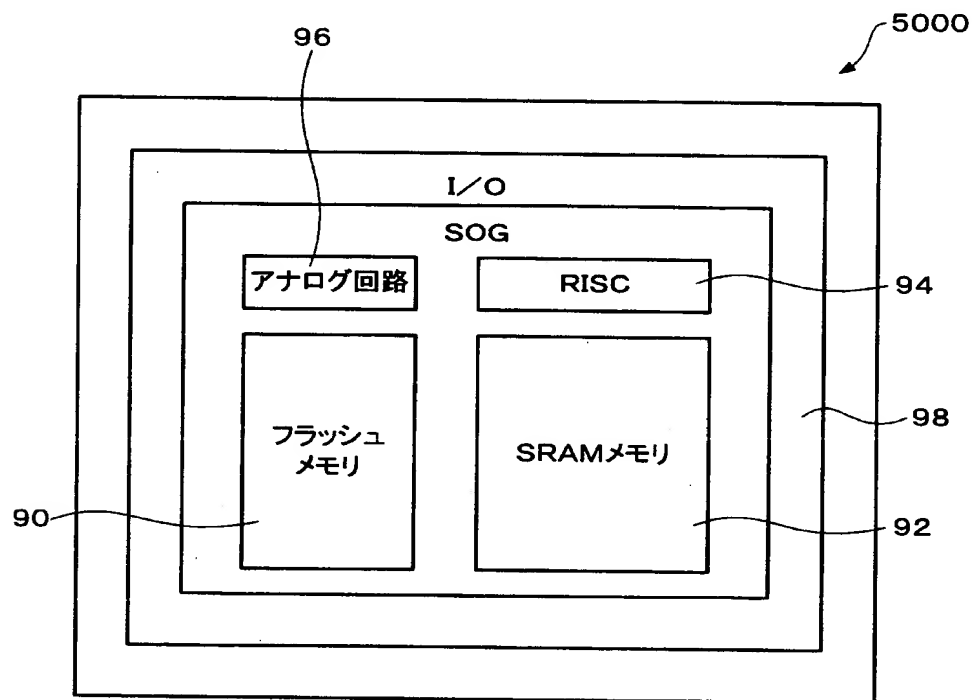
【図 12】



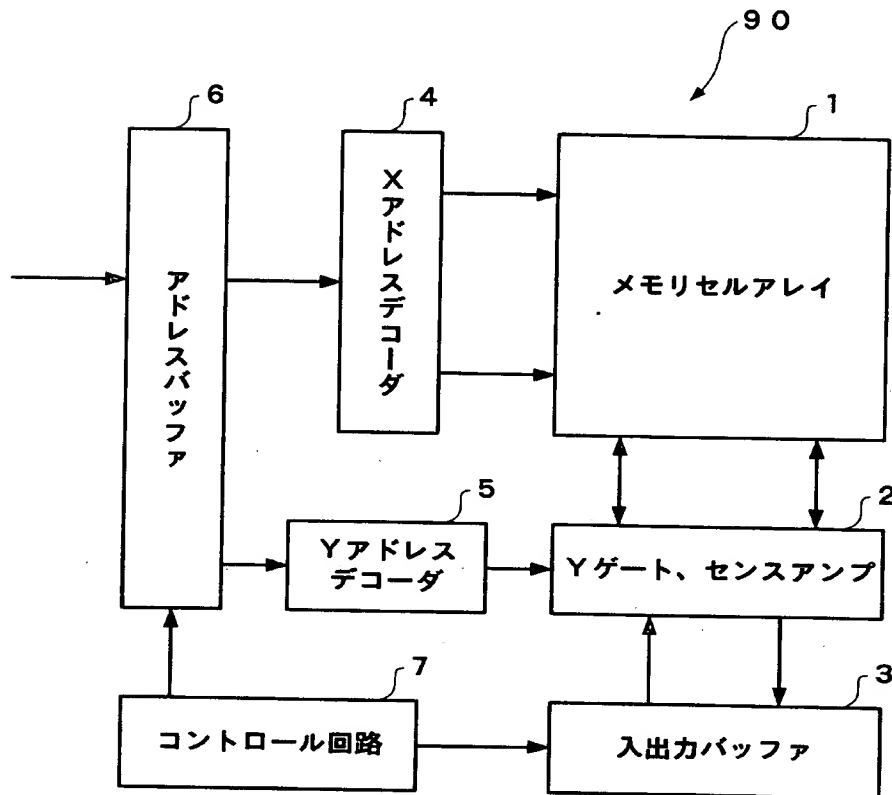
【図 13】



【図 14】



【図 1 5】



【書類名】 要約書

【要約】

【課題】 複数の異なる電圧レベルで動作される電界効果型トランジスタを含み、ロジックとの混載が可能な、不揮発性メモリトランジスタを含む半導体装置を提供する。

【解決手段】 半導体装置は、メモリ領域 4 0 0 0 と、異なる電圧レベルで動作される電界効果型トランジスタを含む第 1、第 2 および第 3 のトランジスタ領域と 1 0 0 0、2 0 0 0、3 0 0 0、とを有する。メモリ領域 4 0 0 0 は、スプリットゲート構造の不揮発性メモリトランジスタ 4 0 0 を含み、第 1 のトランジスタ領域 1 0 0 0 は、第 1 の電圧レベルで動作される第 1 の電圧型トランジスタ 1 0 0 を含み、第 2 のトランジスタ領域 2 0 0 0 は、第 2 の電圧レベルで動作される第 2 の電圧型トランジスタ 2 0 0 を含み、第 3 のトランジスタ領域 3 0 0 0 は、第 3 の電圧レベルで動作される第 3 の電圧型トランジスタ 3 0 0 を含む。第 2 の電圧型トランジスタ 2 0 0 は、そのゲート絶縁層 2 2 が、少なくとも 2 層の絶縁層 2 2 a、2 2 b からなる。絶縁層 2 2 b は、第 1 の電圧型トランジスタ 1 0 0 のゲート絶縁層 2 0 と同じ工程で形成される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社